

Nama Mata Kuliah : Bahasa Deskripsi Perangkat Keras
 Kode Mata Kuliah : TKE61029
 Beban Studi : 3 sks
 Sifat : W (B), P(C,E)
 Prasyarat : Dasar Teknik Digital
 Praktikum : -
 Tugas : Perancangan Modul VHDL
 Tujuan Pembelajaran : Setelah menyelesaikan mata kuliah ini mahasiswa akan:

1. Mampu menjelaskan konsep dasar FPGA
2. Mampu menjelaskan konsep Finite State Machine
3. Mampu merancang modul VHDL untuk rangkaian logika kombinasional dan sekuensial
4. Mampu mengimplementasikan modul VHDL ke dalam FPGA

Pokok Bahasan : Pengenalan VHDL, pemodelan behavioral, pemrosesan sekuensial, atribut dan tipe, subprogram dan paket, konfigurasi, perancangan RTL, anatomi FPGA, perancangan, sintesis dan simulasi pada FPGA.

Mendukung CP Prodi :

CP Mata Kuliah (CPMK) :

Metode Penilaian :

Metode Pembelajaran :

Daftar Pustaka : Perry, L., Douglas, VHDL, McGraw-Hill International Edition, Singapore, 1991
 Jenkins, J.H., Designing with FPGAs and CPLDs, Prentice-Hall, Inc., Englewood Cliffs, New Jersey, 1994
 Navabi, Zainalabedin, Embedded Core Design with FPGAs, McGraw-Hill, New York, 2007

